

In re Application of:
Peter Beer

Group Art Unit: 2818

Examiner: UNKNOWN

~~~~~

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

**Dear Sir:**

**CERTIFICATE OF MAILING**  
**37 CFR 1.8**

I hereby certify that this correspondence is being deposited on  
April 7, 2004 with the United States Postal  
Service as First Class Mail in an envelope addressed to:  
Commissioner for Patents, P.O. Box 1450 Alexandria, VA  
22313-1450.

4-7-04 [Signature]  
Date Signature

Applicant(s) reaffirm the claim for the benefit of filing date of the following foreign patent application referred to in Applicant's Declaration:

German Patent Application Serial Number 102 55 203.7-53 filed November 27, 2002.

A copy of the application certified by the German Patent Office is enclosed.

Respectfully submitted,

**Gero G. McClellan**  
**Registration No. 44,227**  
**MOSER, PATTERSON & SHERIDAN, L.L.P.**  
**3040 Post Oak Blvd. Suite 1500**  
**Houston, TX 77056**  
**Telephone: (713) 623-4844**  
**Facsimile: (713) 623-4846**  
**Agent for Applicant(s)**

# BUNDESREPUBLIK DEUTSCHLAND



## Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

**Aktenzeichen:** 102 55 203.7

**Anmeldetag:** 27. November 2002

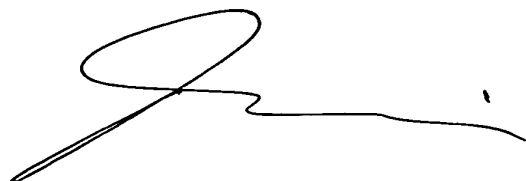
**Anmelder/Inhaber:** Infineon Technologies AG, München/DE

**Bezeichnung:** Dynamische Speicherzelle

**IPC:** G 11 C, H 01 L

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 11. November 2003  
Deutsches Patent- und Markenamt  
Der Präsident  
Im Auftrag



Dzierzon

## Beschreibung

## Dynamische Speicherzelle

- 5 Die Erfindung betrifft eine dynamische Speicherzelle zur Verwendung in einem DRAM-Speicher.

Bisher bekannte DRAM-Speicherzellen haben den Nachteil, dass sich während einer Aktivierung in der Zeit, in der die Zell-  
10 ladung auf die Bitleitung fließt, nur das Potential eine Bitleitung eines Bitleitungspaares verändert wird. Der Potentialunterschied auf den Bitleitungen des Bitleitungspaares wird durch einen Ausleseverstärker verstärkt, in dem das Potential mit der höheren Ladung erhöht und das Potential mit der nied-  
15 rigeren Ladung erniedrigt wird. Das Auseinanderziehen der Ladungen auf den Bitleitungen des Bitleitungspaares ist nicht vollständig symmetrisch, da ausgehend von einem Mittenpotential nur eine der Bitleitungen mit der Speicherkapazität verbunden wird, so dass sich zunächst nur die Ladung einer Bit-  
20 leitung beim Auslesen der Speicherzelle ändert. Dies führt zu einem unsymmetrischen Auseinanderziehen der Ladungen während des Verstärkens (Presensing).

Dieses Verhalten während des Presensings führt dazu, dass die  
25 Signalkopplung zwischen benachbarten Bitleitungen von verschiedenen benachbarten Bitleitungspaares mit einem Vertwisten der Bitleitungen der Bitleitungspaares nicht vollständig auszuschließen ist. Dagegen kann mit Hilfe des Vertwistens der Bitleitungen bei einem symmetrischen Verhalten bei La-  
30 dungstrennung in Presensing die negativen Einflüsse aus der Kopplung zwischen den Bitleitungen nahezu ausgeschlossen werden.

Es ist Aufgabe der vorliegenden Erfindung eine DRAM-Speicher-  
35 zelle zu schaffen, die es ermöglicht, die negative Kopplung zwischen den Bitleitungen zu reduzieren.

Diese Aufgabe wird durch die dynamische Speicherzelle nach Anspruch 1 gelöst.

5 Weitere vorteilhafte Ausgestaltungen der Erfindung sind in den abhängigen Ansprüchen angegeben.

Gemäß einem ersten Aspekt der vorliegenden Erfindung ist eine dynamische Speicherzelle vorgesehen, die über ein Auswahlsignal auswählbar ist und dessen Inhalt über ein Bitleitungspaar mit einer ersten und einer zweiten Bitleitung auslesbar ist. Die dynamische Speicherzelle weist eine Speicherkapazität auf, die mit einem ersten und einem zweiten Auswahltransistor verbunden ist. Abhängig von dem Auswahlsignal wird der erste Anschluss der Speicherkapazität über den ersten Auswahltransistor mit der ersten Bitleitung und ein zweiter Anschluss der Speicherkapazität über den zweiten Auswahltransistor mit der zweiten Bitleitung verbunden.

20 Auf diese Weise kann eine dynamische Speicherzelle geschaffen werden, bei der der Ladungsinhalt der Speicherkapazität an beide Bitleitungen eines Bitleitungspaares beim Auslesen angelegt wird. Vor dem Auslesen befinden sich die Bitleitungen des Bitleitungspaares auf einem gleichen Mittenpotential, das durch einen zuvor durchgeführten Ladungsausgleich entstanden ist. Dadurch wird beim gleichzeitigen Zwischenschalten der Kapazität zwischen die Bitleitungen des Bitleitungspaares die Ladung einer der Bitleitungen vermindert und die Ladung der anderen Bitleitung um den gleichen Betrag erhöht.

30 Auf diese Weise wird beim Auslesen einer Speicherzelle auf beiden Bitleitungen ein Signalverlauf erreicht, der im Wesentlichen genau entgegengesetzt, d. h. symmetrisch ist. So bewirkt eine im Wesentlichen in der Mitte vertwistete Bitleitung eines Bitleitungspaares, dass die entgegengesetzten symmetrischen Signalverläufe auf eine unvertwistete benachbarte Bitleitung eingekoppelt werden, so dass sich die eingekoppelten Signale gegenseitig kompensieren.

Es kann vorgesehen sein, dass die Speicherzelle integriert in einem Substrat aufgebaut ist. Die Speicherkapazität umfasst eine Grabenkapazität, wobei ein innerer Bereich von einem äußeren Bereich der Speicherkapazität durch eine Isolations-  
5 schicht getrennt ist, um einen Kondensator zu bilden. Der erste Auswahltransistor ist mit dem inneren Bereich der Speicherkapazität verbunden und der zweite Auswahltransistor mit dem äußeren Bereich der Speicherkapazität, so dass bei Durch-  
10 schalten der Auswahltransistoren die Ladung des inneren Bereichs auf die erste Bitleitung und die Ladung des äußeren Bereichs auf die zweite Bitleitung angelegt wird.

Vorzugsweise werden dazu der erste und der zweite Auswahl-  
15 transistor vertikal beidseitig der Grabenkapazität angeordnet. Durch die vertikale Anordnung der Auswahltransistoren bleibt der Flächenbedarf für die Realisierung einer solchen Speicherzelle sehr gering, so dass ein DRAM-Speicher mit solchen dynamischen Speicherzellen nicht gegenüber einem her-  
20 kömmlichen DRAM-Speicher wesentlich vergrößert ist.

Zur Realisierung der vertikal angeordneten Auswahltransistoren kann über der Grabenkapazität ein Ansteuerbereich  
angeordnet sein, an den das Ansteuersignal angelegt wird. Der  
25 Ansteuerbereich ist vorzugsweise so gestaltet, dass er gleichzeitig als Gatebereich für den ersten und den zweiten Auswahltransistor dienen kann.

Die Drain-/Source-Bereiche der Auswahltransistoren sind an  
30 der Grabenkapazität so angeordnet, dass die Grabenkapazität kontaktiert wird. Dabei kontaktiert der Drain-/Source-Bereich des ersten Auswahltransistor den äußeren Bereich der Speicherkapazität und der Drain-/Source-Bereich des zweiten Auswahltransistors den inneren Bereich der Speicherkapazität.

35 Die jeweils weiteren Drain-/Source-Bereiche der Auswahltransistoren sind oberflächennah angeordnet, um sie mit den ent-

sprechenden Bitleitungen, auf die die Speicherladung ausgelesen werden soll, zu kontaktieren.

5 Bevorzugte Ausführungsformen der Erfindung werden im folgenden anhand der beigefügten Zeichnungen näher erläutert. Es zeigen:

10 Figur 1 ein elektrisches Schaubild mit Bauelementen einer dynamischen Speicherzelle gemäß einer bevorzugten Ausführungsform der Erfindung;

Figur 2 ein Ausschnitt aus einem DRAM-Speicher mit Speicherzellen gemäß einer Ausführungsform der Erfindung mit vertwisteten Bitleitungen;

15 Figur 3 einen Querschnitt durch ein Substrat mit einer integrierten dynamischen Speicherzelle gemäß der Erfindung;

Figur 4 eine Draufsicht auf die Substratscheibe mit dynamischen Speicherzellen gemäß der Erfindung.

20 In Figur 1 ist eine erfindungsgemäße dynamische Speicherzelle dargestellt. Die Speicherzelle weist einen Speicherkondensator C auf, dessen erster Anschluss über einen ersten Auswahltransistor T1 mit einer ersten Bitleitung BL1 eines Bitleitungspaares BLP verbunden ist. Ein zweiter Anschluss des Speicherkondensators C ist über einen zweiten Auswahltransistor T2 mit einer zweiten Bitleitung BL2 des Bitleitungspaares BLP verbunden. Steueranschlüsse des ersten Auswahltransistors T1 und des zweiten Auswahltransistors T2 sind über eine Wortleitung WL ansteuerbar. Die Auswahltransistoren T1, T2 sind vorzugsweise als N-Kanal-Feldeffekttransistoren ausgebildet, 25 so dass bei einem HIGH-Potential auf der Wortleitung WL die Auswahltransistoren T1, T2 auf Durchlass geschaltet werden. 30

35 Sind die Auswahltransistoren durchlässig, so fließt die in der Speicherkapazität C gespeicherte Ladung gleichermaßen auf die erste Bitleitung BL1 und die zweite Bitleitung BL2. Die beiden Bitleitungen BL1, BL2 des Bitleitungspaares BLP sind

zuvor durch eine nicht gezeigte Ladungsausgleichsrichtung auf ein Mittenpotential ausgeglichen worden.

Die erste Bitleitung BL1 und die zweite Bitleitung BL2 des Bitleitungspaares BLP sind an einem Ende mit einem Ausleseverstärker 1 verbunden. Der Ausleseverstärker ist so gestaltet, dass er einen Ladungsunterschied zwischen den beiden Bitleitungen BL1, BL2 des Bitleitungspaares BLP detektiert und das Potential der Bitleitung mit der höheren Ladung erhöht und das Potential der Bitleitung mit der niedrigeren Ladung erniedrigt. Dadurch dass die in der Speicherkapazität gespeicherte Ladung gleichermaßen und gleichzeitig auf beide Bitleitungen angelegt wird, ergibt sich ein symmetrischer entgegengesetzter Signalverlauf um das Mittenpotential auf den beiden Bitleitungen.

Darüber hinaus hat eine solche Speicherzelle den Vorteil, die beiden Bitleitungen BL1, BL2 eines Bitleitungspaares BLP beim Verbinden mit der Speicherzelle nun die gleiche Kapazität aufweisen. Asymmetrien, die dadurch entstehen, dass die Speicherkapazität nur in eine der Bitleitungen angelegt wird, können somit vermieden werden.

Zudem verdoppelt sich die Höhe des Signals zwischen den Bitleitungen BL1, BL2 des Bitleitungspaares BLP. Dies könnte entweder dazu genutzt werden, um die Signaleigenschaften zu verbessern und den Chip damit zuverlässiger zu machen oder auch um den Leistungsverbrauch zu reduzieren, in dem man z. B. das Mittenpotential halbiert. Daraus ergibt sich ein weiterer Vorteil, nämlich, dass man den Leckstrom, der häufig nicht ohmisch d. h. nicht linear von der angelegten Spannung abhängt, überproportional durch Reduzierung der Zellspannung vermindern kann.

In Figur 2 ist ein Ausschnitt aus einem DRAM-Speicher mit dynamischen Speicherzellen gemäß der bevorzugten Ausführungsform der Erfindung dargestellt. Die in Figur 1 gezeigten Aus-

wahltransistoren sind in Figur 2 vereinfacht durch Punkte an den Schnittlinien zwischen den Wortleitungen WL und Bitleitungen BL sowie die Speicherkapazität C durch einen Punkt auf der Wortleitung symbolisch dargestellt. Man erkennt, dass bei  
5 jedem zweiten Bitleitungspaar BLP die Bitleitungen in der Mitte vertwistet sind.

Ein erstes Bitleitungspaar BLP1 weist vertwistete Bitleitungen und ein zweites Bitleitungspaar BLP2 weist nicht-vertwistete Bitleitungen auf. Der Vorteil einer solchen Anordnung  
10 liegt darin, dass die erste Bitleitung des ersten Bitleitungspaares BLP1 über eine Hälfte benachbart zur ersten Bitleitung des zweiten Bitleitungspaares BLP2 geführt ist. Ebenso wird eine Hälfte der zweiten Bitleitung BL2 des ersten  
15 Bitleitungspaares BLP1 benachbart zur ersten Bitleitung des zweiten Bitleitungspaares BLP2 geführt. Da zwischen benachbarten Bitleitungen Signalüberkopplungen auftreten, werden auf diese Weise werden die Signalverläufe auf einer Hälfte der ersten Bitleitung und einer Hälfte der zweiten Bitleitung  
20 des ersten Bitleitungspaares BLP1 in die benachbarte erste Bitleitung des zweiten Bitleitungspaares gekoppelt, wobei durch die entgegengesetzten Signalverläufe die Einkopplungssignale gegenläufig sind und sich gegenseitig kompensieren. Auf diese Weise kann ein Einkoppeln eines störenden Signals  
25 aufgrund von Signalverläufen zwischen den Bitleitungen verschiedener Bitleitungspaare reduziert werden.

Dies ist im Gegensatz zum Stand der Technik besonders vorteilhaft, da durch die erfindungsgemäße dynamische Speicherzelle ein symmetrischer Signalverlauf erreicht werden kann.  
30

Da bei herkömmlichen Speicherzellen nur eine der Bitleitungen mit der Ladung der Speicherkapazität beaufschlagt wird, ergibt sich ein unsymmetrischer Signalverlauf, so dass bei der  
35 in Figur 2 gezeigten Anordnung keine vollständige Kompensation der Übergekoppelten Signale erreicht wird.



In Figur 3 ist ein Querschnitt durch ein Halbleiter-Substrat mit zwei integrierten dynamischen Speicherzellen gemäß der Erfindung dargestellt. Die Speicherkapazität C ist als Grabenkapazität ausgeführt und durch einen inneren Bereich 10 und einen äußeren Bereich 11 gebildet. Der innere Bereich 10 und der äußere Bereich 11 sind durch eine Isolationsschicht 12 voneinander getrennt, so dass eine Kondensatoranordnung entsteht. Oberhalb der Grabenkapazität ist ein Wortleitungsstack 13 angeordnet, der in elektrischer Verbindung mit einer Wortleitung 14 besteht. Die Wortleitung 14 verläuft in der gezeigten Darstellung senkrecht zur Schnittebene. Die Wortleitung 14, der Wortleitungsstack 13 und die Grabenkapazität 10, 11, 12 sind vorzugsweise vertikal übereinander in dem Substrat integriert.

Auf einer ersten Seite des Wortleitungsstack 13 ist ein erster Auswahltransistor T1 vertikal angeordnet. Auf der ersten Seite, d. h. benachbart der Wortleitung 14 verläuft ein erster leitender Bereich 15, der mit der ersten Bitleitung BL1 verbunden ist. Der erste leitende Bereich 15 ist mit einem ersten Drain-/Source-Bereich 16 des ersten Auswahltransistors T1 verbunden. Der erste Drain-/Source-Bereich 16 ist vorzugsweise n<sup>+</sup>-dotiert und von dem Wortleitungsstack 13 durch eine erste Isolation 17 getrennt. In vertikaler Richtung unterhalb des ersten Source-Drain-Bereichs 16 ist ein erstes Kanalgebiet 18 des ersten Auswahltransistors T1 angeordnet. Die Isolation 17 zwischen dem ersten Kanalgebiet 18 des ersten Auswahltransistors T1 und dem Wortleitungsstack 13 ist als Gateoxid 17 ausgebildet.

In vertikaler Richtung unterhalb des ersten Kanalgebiets 18 befindet sich ein zweiter Source-Drain-Bereich 24, der mit dem inneren Bereich 10 der Speicherkapazität in elektrischer Verbindung steht. Auf diese Weise ist ein erster Auswahltransistor T1 ausgebildet, der über die Wortleitung 14 ansteuerbar ist und die Ladung im inneren Bereich 10 der Speicherkapazi-

tät auf die erste Bitleitung BL1 abhängig von einem Auswahl-signal auf der Wortleitung 14 anlegen kann.

Auf einer zweiten Seite des Wortleitungsstack 13 ist ein Kontaktierungsbereich 19 vorgesehen, der mit der zweiten Bitleitung BL2 (nicht gezeigt) verbunden ist. Über einen zweiten leitenden Bereich 20 kann der Kontaktierungsbereich 19 mit einem dritten Source-Drain-Bereich 21 des zweiten Auswahltransistors T2 verbunden werden. Der dritte Source-Drain-Bereich 21 ist durch eine zweite Isolation 25 von dem Wortleitungsstack 13 getrennt. In vertikaler Richtung unterhalb des dritten Source-Drain-Bereich 21 befindet sich ein zweiter Kanalbereich 26 des zweiten Auswahltransistors T2.

Zwischen dem Wortleitungsstack 13 und dem zweiten Kanalgebiet 26 des zweiten Auswahltransistors T2 verläuft die zweite Isolation 25, die ebenfalls als Gateoxid ausgebildet ist. In vertikaler Richtung unterhalb des zweiten Kanalgebiets 26 befindet sich ein vierter Source-Drain-Bereich 22, der ebenfalls durch die zweite Isolation 25 von dem Wortleitungsstack 13 getrennt ist.

Der vierte Source-Drain-Bereich 22 befindet sich im Bereich der Grabenkapazität, wobei jedoch zwischen dem inneren Bereich 10 der Grabenkapazität und dem vierten Source-Drain-Bereich 22 ein Isolationsbereich 23 angeordnet ist. Stattdessen ist der vierte Source-Drain-Bereich 22 mit dem äußeren Bereich 11 der Grabenkapazität in elektrischer Verbindung. Auf diese Weise wird der äußere Bereich 11 der Grabenkapazität C über den zweiten Auswahltransistor T2 kontaktiert. Schaltet der zweite Auswahltransistor T2, gesteuert durch das Auswahl-signal auf der Wortleitung 14 durch, so wird der äußere Bereich 11 der Grabenkapazität über den Kontaktbereich 19 mit der zweiten Bitleitung BL2 verbunden.

Auf diese Weise wird eine Struktur geschaffen, bei der die Auswahltransistoren T1, T2 vertikal angeordnet sind, so dass

keine Vergrößerung des Flächenbedarfs bei der Realisierung einer solchen erfindungsgemäßen Speicherzelle zu erwarten ist.

- 5 In Figur 4 ist eine Draufsicht auf ein Substrat mit integrierten dynamischen Speicherzellen gemäß der Erfindung dargestellt. Der Übersichtlichkeit halber werden die senkrecht verlaufenden Wortleitungen und die waagrecht verlaufenden Bitleitungen nicht gezeigt. Die Speicherzellen sind in Form
- 10 von quadratischen Kästchen mit beidseitig angeschlossenen elliptischen Auswahltransistoren T1, T2 dargestellt. Die Schnittdarstellung der Figur 3 entspricht einer Schnittlinie, die gestrichelt in der Figur 4 eingezeichnet ist.
- 15 Damit die Speicherzellen mit beiden Bitleitungen in Kontakt stehen, werden die ersten und die zweiten leitenden Bereiche 15, 20 vorgesehen, wobei die ersten leitenden Bereiche 15 jeweils mit einem ersten Auswahltransistor verbunden sind und die zweiten leitenden Bereiche 20 jeweils mit einem zweiten
- 20 Auswahltransistor T2 verbunden sind.

- Die leitenden Bereiche 15, 20 sind in einer Länge vorgesehen, so dass mit Hilfe von Kontaktierungen der erste leitende Bereich 15 mit der ersten Bitleitung BL1 und der zweite leitende Bereich 20 mit der zweiten Bitleitung BL2 verbunden werden kann. Die Bitleitungen (in Figur 4 nicht gezeigt) verlaufen waagrecht so über die dargestellten Strukturen, dass die erste Bitleitung über die Kontaktierungen 19 der ersten leitenden Bereiche 15 und die zweite Bitleitung über die Kontaktierungen 19 der zweiten leitenden Bereich 20 verlaufen.
- 25 Die Wortleitungen 14 verlaufen dazu rechtwinklig und zwar jeweils über die Speicherzellenstruktur, um den Wortleistungsstack 13 zu kontaktieren.
- 30
- 35 Auf diese Weise ist es möglich, eine verbesserte DRAM-Speicherschaltung zu schaffen, die ohne einen erhöhten Flächenbedarf auskommt und mit Hilfe von zwei Auswahltransistoren T1,

T2 eine Speicherkapazität C gleichzeitig mit zwei benachbarten Bitleitungen verbindet.

5 Dies hat den Vorteil, dass die Signalverläufe auf den benachbarten Bitleitungen eines Bitleitungspaares symmetrisch verlaufen, so dass bei vertwisteten Bitleitungen das übersprechen auf der dazu nicht vertwistete Bitleitung zu eingekoppelten Signalen führt, die sich gegenseitig kompensieren.

10

15

## Bezugszeichenliste

|    |    |                                       |
|----|----|---------------------------------------|
|    | 1  | Ausleseverstärker                     |
|    | 10 | innerer Bereich der Speicherkapazität |
| 5  | 11 | äußerer Bereich der Speicherkapazität |
|    | 12 | Dielektrikum                          |
|    | 13 | Wortleitungsstack                     |
|    | 14 | Wortleitung                           |
|    | 15 | erster leitender Bereich              |
| 10 | 16 | erster Source-/Drain-Bereich          |
|    | 17 | erste Isolation                       |
|    | 18 | erstes Kanalgebiet                    |
|    | 19 | Bitleitungskontaktierung              |
|    | 20 | zweiter leitender Bereich             |
| 15 | 21 | dritter Source-/Drain-Bereich         |
|    | 22 | vierter Source-/Drain-Bereich         |
|    | 23 | Isolationsschicht                     |
|    | 24 | zweiter Source-/Drain-Bereich         |
|    | 25 | zweite Isolation                      |
| 20 | 26 | zweites Kanalgebiet                   |

## Patentansprüche

1. Dynamische Speicherzelle, die über ein Auswahlsignal  
auswählbar ist und dessen Inhalt über ein Bitleitungs-  
paar (BLP) mit einer ersten und einer zweiten Bitlei-  
tung (BL1, BL2) auslesbar ist, mit einer Speicherkapa-  
zität (C) und einem ersten und einem zweiten Auswahl-  
transistor (T1, T2), wobei abhängig von dem Auswahlsig-  
nal ein erster Anschluss der Speicherkapazität (C) über  
den ersten Auswahltransistor (T1) mit der ersten Bit-  
leitung (BL1) und ein zweiter Anschluss der Speicherkapa-  
zität (C) über den zweiten Auswahltransistor (T2) mit  
der zweiten Bitleitung (BL2) verbindbar ist.
2. Dynamische Speicherzelle nach Anspruch 1, wobei die  
Speicherzelle integriert in einem Substrat aufgebaut  
ist, wobei die Speicherkapazität (C) eine Grabenkapazi-  
tät umfasst, wobei ein innerer Bereich (10) von einem  
äußeren Bereich (11) der Speicherkapazität durch eine  
Isolationsschicht (12) getrennt ist, wobei der erste  
Auswahltransistor (T1) mit dem inneren Bereich (10) der  
Speicherkapazität (C) verbunden ist und der zweite Aus-  
wahltransistor (T2) mit dem äußeren Bereich (11) der  
Speicherkapazität (C) verbunden ist, so dass bei Durch-  
schalten der Auswahltransistoren (T1, T2), die Ladung  
des inneren Bereichs (10) auf die erste Bitleitung  
(BL1) und die Ladung des äußeren Bereichs (11) auf die  
zweite Bitleitung (BL2) angelegt wird.
3. Dynamische Speicherzelle nach Anspruch 2, wobei der  
erste und der zweite Auswahltransistor (T1, T2) verti-  
kal beidseitig der Grabenkapazität angeordnet sind
4. Dynamische Speicherzelle nach Anspruch 3, wobei ober-  
halb der Grabenkapazität ein Ansteuerbereich (13) ange-  
ordnet ist, an den das Ansteuersignal angelegt wird.
5. Dynamische Speicherzelle nach Anspruch 4, wobei der An-  
steuerbereich so gestaltet ist, um als Gatebereich für  
den ersten und den zweiten Auswahltransistor (T1, T2)  
zu dienen.

- 5 6. Dynamische Speicherzelle nach Anspruch 3 oder 4, wobei  
der jeweils einer der Drain-/Source-Bereiche (16, 21,  
22, 24) der Auswahltransistoren (T1, T2) an der Graben-  
kapazität angeordnet ist, um diese zu kontaktieren.

## Zusammenfassung

## Dynamische Speicherzelle

- 5 Die Erfindung betrifft eine dynamische Speicherzelle, die über ein Auswahlsignal auswählbar ist und dessen Inhalt über ein Bitleitungspaar mit einer ersten und einer zweiten Bitleitung auslesbar ist, mit einer Speicherkapazität und einem ersten und einem zweiten Auswahltransistor, wobei abhängig
- 10 von dem Auswahlsignal ein erster Anschluss der Speicherkapazität über den ersten Auswahltransistor mit der ersten Bitleitung und ein zweiter Anschluss der Speicherkapazität über den zweiten Auswahltransistor mit der zweiten Bitleitung verbindbar ist.

15

Figur 3



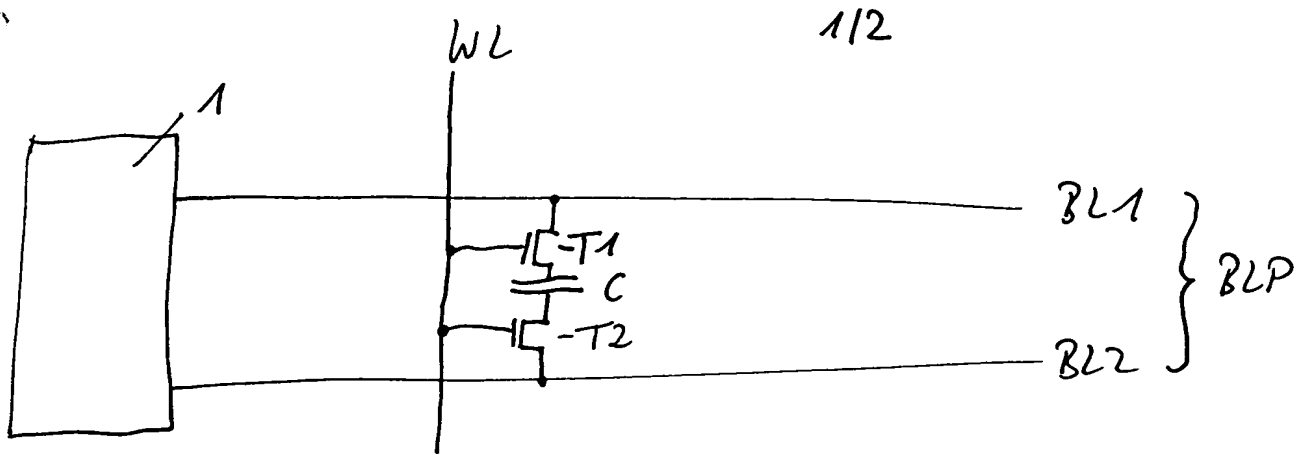


Fig. 1

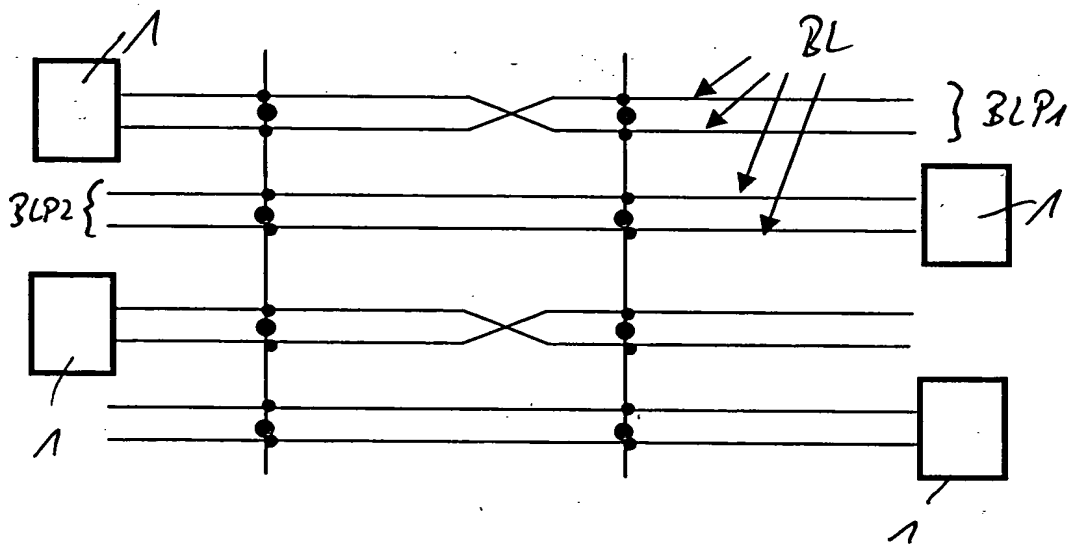


Fig. 2

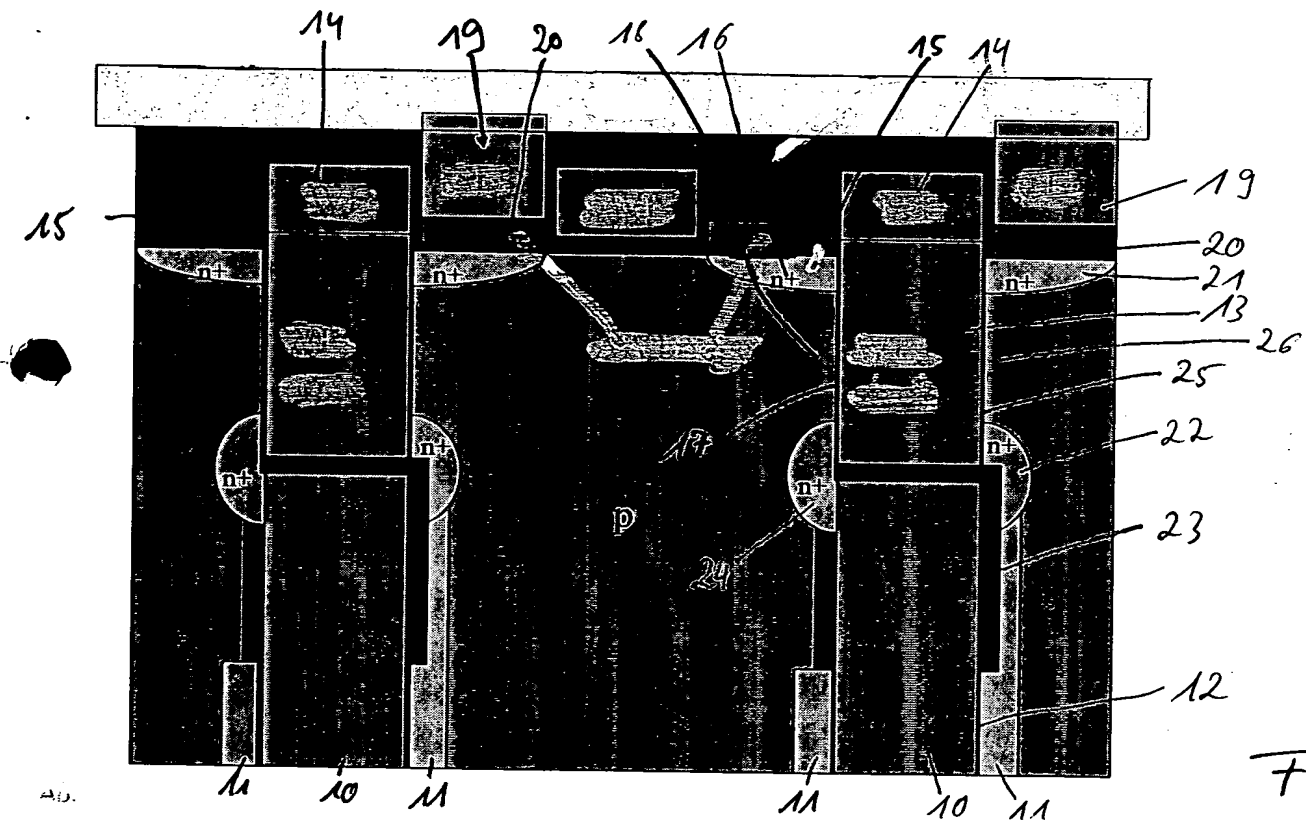


Fig. 3

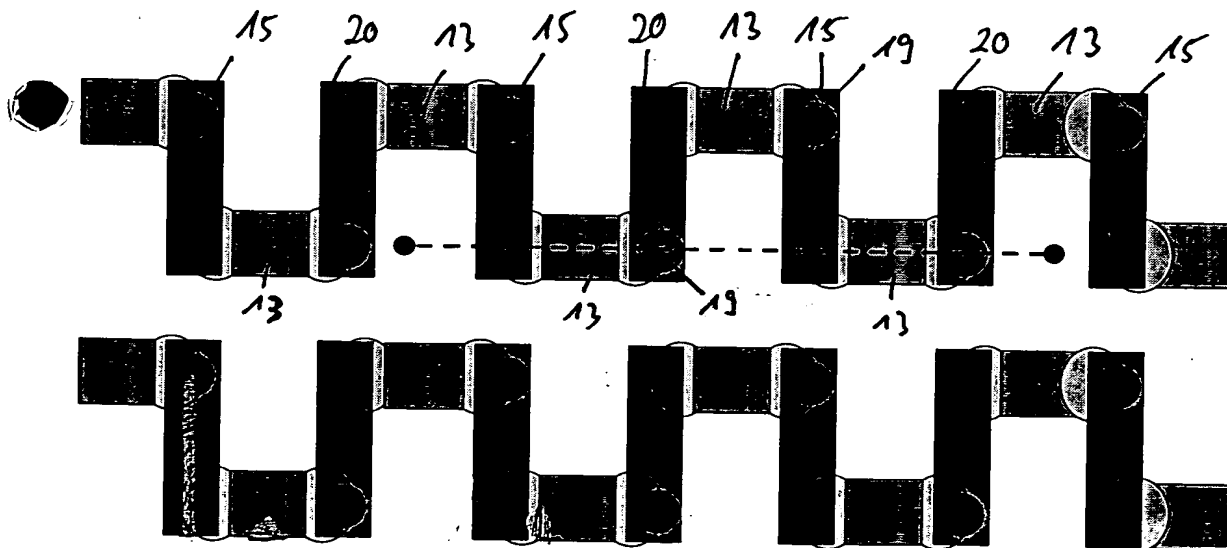


Fig. 4